Министерство образования и науки Украины

Севастопольский национальный технический университет

Кафедра кибернетики

и вычислительной техники

Пояснительная записка

к курсовому проекту

на тему: «Синтез операционного устройства ЭВМ»

по дисциплине «Цифровые ЭВМ»

Выполнил:

ст.гр. М-41д

Бардахчиян А.В.

Вариант 1

Проверил:

Проф.Апраксин Ю.К.

Севастополь

2009Содержание

Введение …………………………………………………………………………4

1. Постановка задачи………………………………………………………....5
2. Разработка форматов команд и описание используемых форматов данных ……………………………………………………………………..6
3. Структурная схема операционного устройства ………………………...11
4. Объединенная ГСА функционирования процессора …………………..14
5. Структура выводов процессорного блока ………………………………18
6. Синтез УА………………………………………………………………...19
   1. Общая структура…………………………………………………...19
   2. Адресация микрокоманд…………………………………………..19
   3. Кодирование микроопераций ……………………………………..21
   4. Микропрограмма функционирования ……………………………24
   5. Разработка принципиальной схемы ……………………………...28
7. Определение временных характеристик ЦОУ ………………………....35

Заключение……………………………………………………………………….39

Библиографический список…………………………………………………..…40

# ВВЕДЕНИЕ

При проектировании ЭВМ необходимо четкое разделение функций между центральным процессором (процессорами) и остальными узлами. Это не только упрощает их разработку, но и делает процессор более универсальным, позволяя использовать его в других типах ЭВМ. Наряду с этим целесообразно четкое разделение функций и между частями, составляющими процессор. Это дает возможность производить независимое проектирование этих частей, что уменьшает затраты времени на проектирование всего процессора, а также позволяет вносить изменения в отдельные узлы, не затрагивая остальные.

Такое разделение процессора на логически завершенные части обычно выделяет операционное устройство (ОУ), в составе которого имеется управляющий автомат (УА), построенный в виде цифрового автомата с жесткой или программируемой логикой, который управляет работой процессора.

Курсовое проектирование преследует следующие цели: повторение и закрепление основных разделов курса "Архитектура ЭВМ", изучение принципов структурной и функциональной организации цифровых вычислительных машин и их узлов, приобретение навыков проектирования узлов ЭВМ и изготовление соответствующей конструкторской документации, ознакомление с функциональной организацией ЭВМ Единой системы (ЕС ЭВМ).

Курсовое проектирование — хороший способ повторения и глубо­кого закрепления пройденного материала, который может пригодиться в будущем.

1. ПОСТАНОВКА ЗАДАЧИ

Разработать центральное обрабатывающее устройство(ЦОУ), реализующее заданную совокупность команд из системы команд абстрактной ЦВМ. Предполагается, что проектированию подлежит процессор с традиционной принстонской архитектурой [1] .

Необходимо реализовать следующий набор команд:

-арифметическая команда – сложение над операндами с фиксированной точкой длиной в 2 байта(I2);

-логическая команда – дизъюнкция над операндом длиной в 1 байт(L1);

-команда передачи управления – переход по маске;

-команда обращения к памяти – чтение из оперативной памяти числа с плавающей точкой длиной 4 байта(F4);

- команда обращения к устройству ввода/вывода – передача байта из процессора в МВВ.

Необходимо реализовать следующие способы адресации:

-непосредственная;

-прямая;

-косвенная;

-регистровая;

-косвенная через регистр;

Объем оперативной памяти –128 Мб, ширина выборки – 4 байта. Объем регистровой памяти – 16 регистров, тип регистровой памяти – универсальная.

Необходимо реализовать устройство управления (УУ) в виде управляющего автомата(УА) с программируемой логикой, способ адресации микрокоманд – естественная, способ кодирования микроопераций – вертикально-горизонтальный.

В ходе курсового проекта необходимо разработать ГСА функционирования процессора, структурную схему ЦОУ, схему принципиальную электрическую УУ (с перечнем элементов).

2. РАЗРАБОТКА ФОРМАТОВ КОМАНД И ОПИСАНИЕ ИСПОЛЬЗУЕМЫХ ФОРМАТОВ ДАННЫХ

На рисунке 2.1 показаны основные структурные единицы данных, обрабатываемых проектируемым устройством (а) и форматы их представления в процессе обработки (б).

Целые числа могут быть представлены как со знаком (S), так и без знака (для представления адресов). Числа со знаком представляются в дополнительном коде. Диапазон представления целых чисел – [­2n, 2n­1], где n – количество разрядов числа без учета разряда знака.

Двоичные числа с плавающей точкой представляются в виде двух чисел с фиксированной точкой: порядка (Р) и мантиссы (М), при этом Р – целое со знаком, . В случае так называемой нормализованной мантиссы  для двоичной системы счисления. Диапазон представления чисел с плавающей точкой – .



Рис 2.1 Форматы данных

Все форматы команд будут кратны 2 байтам Под поле КОП в команде отводится 1 байт (принято, что система команд процессора состоит из 128-256 команд, а мы разрабатываем фрагмент).

1. Арифметическая команда сложения с использованием регистровой и косвенно-регистровой адресацией.

Формат команды сложения следующий:



Код операции сложения следующий:

, в шестнадцатеричном виде 11h;



R1 – содержит номер регистра с фиксированной точкой, в котором хранятся данные;

R2(к) – содержит номер регистра с фиксированной точкой, в котором хранится адрес ОП, где хранятся данные.

Данные хранятся в виде 16-разрядного числа с фиксированной точкой.

Команда выполняет действие [R1]:=[R1]+[[R2]].

1. Логическая команда дизъюнкции с использованием регистровой и непосредственной адресацией.

Формат команды дизъюнкции следующий:



Код операции дизъюнкции следующий:

, в шестнадцатеричном виде 61h;



R1 – содержит номер регистра с фиксированной точкой, в котором хранятся данные;

Im2 – содержит непосредственно данные.

Данные хранятся в виде 8-разрядного числа, двоичный вектор.

Команда выполняет действие [R1]:=[R1]˅Im2.

1. Команда передачи управления с использованием регистровой адресацией.

Формат команды условного перехода по маске следующий:



Код операции условного перехода по маске следующий:

, в шестнадцатеричном виде 31h;



М – содержит маску перехода;

R2 – содержит номер регистра с адресом перехода.

Команда выполняет действие СЧАК:=[R2]&M если M=[R2].

1. Команда обращения к памяти с использованием косвенной адресацией.

Формат команды загрузки в регистр следующий:



Код операции загрузки в регистр следующий:

, в шестнадцатеричном виде 49h;



R1 – содержит номер регистра с плавающей точкой;

Ау – содержит укороченный адрес ОП, по которому записан адрес ОП, где хранится 32-разрядное число с плавающей точкой.

Команда выполняет действие [R1]:=[[Ау]].

1. Команда ввода/вывода.

Формат команды передачи байта из процессора в МВВ следующий:



Код операции передачи байта из процессора в МВВ следующий:

, в шестнадцатеричном виде 39h;



НУВВ – содержит номер устройства ввода-вывода.

Команда выполняет действие ПортА[НУВВ]:=ПортД.

Таблица 1 – Система команд процессора



Прерывания:

A-нарушение адресации;

S- нарушение спецификации;

Флаги:

P- переполнение порядка;

<0- результат меньше нуля;

>0- результат больше нуля.

3. СТРУКТУРНАЯ СХЕМА ОПЕРАЦИОННОГО УСТРОЙСТВА

Структурная схема операционного устройства приведена на чертеже 2009.М41.1.2.

Управляющий автомат (**УУ**);

Устройство управления – это блок, обеспечивающий выработку необходимых последовательностей управляющих сигналов {y}, причем, генерируемые управляющим автоматом последовательности управляющих сигналов {y} предопределяются поступающими на вход этого устройства сигналами из операционного устройства, несущими информацию об особенностях реализации каждой микрооперации {x}.

Оперативная память (**ОП**).

Длина слова ОП в данной работе равна 32 бита (4 байтам), согласно заданию. Слово читается и записывается в ОП целиком за одно обращение к ОП. Адрес слова, к которому приводится обращение, указывается в регистре адреса оперативной памяти РА. Длина РА равняется 27 разрядам:

Еоп = 128Мб, ширина выборки n = 4, m = 27.

Слово информации, которое записывается в ОП или читается из ОП, размещается на регистре слова РС. Операция в ОП инициируется сигналами чтения Чт или записи Зп. Осведомительный сигнал Z предназначен для фиксации занятости ОП, он необходим, поскольку операции чтения и записи из/в ОП имеет длительность, превышающую длительность такта работы операционного устройства. Z=1, когда ОП занята выполнением операции чтения или записи. Момент окончания чтения или записи в ОП отмечается значением осведомительного сигнала Z = 0.

Модуль ввода/вывода (**МВВ**) предназначен для реализации конкретной команды ввода/вывода на конкретном устройстве. Организация ввода/вывода осуществляется по принципу программного управления, т.е. по инициативе процессора и под его полным контролем[3].

Главным элементом процессорного блока является арифметико-логическое устройство(**АЛУ**). Двуместные операции в АЛУ выполняются над операндами, хранящимися в регистрах Р1(0:32) (первый операнд) и Р2(0:32) (второй операнд). Результат выполненной операции помещается в Р1. Разрядность регистров выбрана в соответствии с максимально возможной длиной операнда и равна 32 разряда. Каждая операция АЛУ инициируется своим управляющим сигналом, поступающим на вход устройства управления (УУ). АЛУ выполняет следующие операции: сложение, «ИЛИ». На шине АЛУ (ШАЛУ) формируется три группы осведомительных сигналов: признаки результата (равен нулю, меньше нуля, больше нуля, не равен нулю), флаги прерываний (флаг переполнения), признак занятости.

Регистровая память (**РП**) организуется как сверхоперативная память с прямой адресацией. РП допускает выборку слова в течение одного такта.

Объем регистровой памяти 16 регистров, поэтому адрес РА (регистр адреса регистров с плавающей точкой) 4 разряда. Разрядность регистра слова регистровой памяти (РС –регистр слова) определяется длиной информационного слова и составляет 32 разряда.

На регистр команд (**РК**) выбирается из ОП команда, подлежащая исполнению. Разрядность РК 32 разряда.

Счетчик адреса команд (**СчАК**), предназначенный для хранения адреса очередной выбираемой из ОП команды, обеспечивает адресацию к любому байту ОП. Объем ОП составляет 128 Мб, поэтому разрядность СчАК 27 разрядов. Ширина выборки 4 байта.

Порт данных (**ПортД**) предназначен для хранения данных в процессе обмена информацией процессора с ОП и устройствами ввода/вывода (УВВ).

Порт адреса (**ПортА**) предназначен для хранения в процессоре адреса слова ОП или номера УВВ.

Буферный регистр(**БР**) предназначен для запоминания второго полуслова слова считанного из ОП. БР позволяет уменьшить количество обращений к оперативной памяти. Возможность использования информации из ранее выбранного слова имеет смысл лишь в том случае, когда сохраняется естественный порядок выполнения команд, а если была выполнена команда передачи управления, то данные в буферном регистре не действительны. Буферный регистр является 16-разрядным.

Триггер перехода (**ТП**) сбрасывается в нулевое состояние, если исполняемая команда относится к группе команд обработки данных, и устанавливается в 1 в случае формирования адреса перехода при исполнении команды передачи управления.

Триггер адресации (**А**), триггер спецификации (**S**) , триггер конечный (**К**) и триггер переполнения порядка(**Р**) устанавливаются в 1 в случае нарушения адресации, спецификации, переполнения порядка соответственно.

Регистр признака результатов (**РПР**) хранит признаки результата выполнения команд в АЛУ. РПР имеет разрядность 4.

Дешифратор (**DC**) нужен для формирования соответствующего коду команды осведомительного сигнала.

4. ОБЪЕДЕНЕННАЯ ГСА ФУНКЦИОНИРОВАНИЯ ПРОЦЕССОРА

Объединенная ГСА функционирование процессора приведена на чертеже 2009.M41.18.1.

Алгоритм работы ОУ состоит из следующих этапов: выборка команды, выполнение команд, генерирования прерывания, если требуется. Если встречается команда «стоп», то ОУ останавливает работу.

Обобщенная схема алгоритма функционирования ОУ выглядит следующим образом:

**выборка команды**

**Начало**

**сложение**

**«ИЛИ»**

**Переход по маске**

**Команда обмена**

**Стоп**

**Конец**

**Требуется прерывание**

**- +**

**прерывание**

**Команда обмена**

Рисунок 4.1 Общая схема алгоритма функционирования ОУ.

5. СТРУКТУРА ВЫВОДОВ ПРОЦЕССОРНОГО БЛОКА

Обобщенное условное графическое обозначение (УГО) процессорного блока показано на рисунке 5.1. Процессор имеет внешние выводы адреса (А) и данных (D). Выводы RD, WR, IN, OUT используются соответственно для сигналов «чтение» (Чт) и «записи»(Зп) и «ввода» (МП) и «вывода»(ПМ). Контакт READY (готовность) используется для приема сигнала готовности (ZОП , ZВВ) от медленных внешних по отношению к процессору устройств (ОП, МВВ). Назначение выводов +5V (питание), GND (земля), RESET (сброс), SET (установка), CLC (синхронизация)



Рисунок 5.1 – Обобщенное УГО процессорного блока

6. СИНТЕЗ УА

6.1. Общая структура

Общая структура УА приведена на рисунке 6.1.1.

Память микропрограмм (ПМП) организована в виде ПЗУ. В качестве АМК используется счетчик. Пуск автомата осуществляется подачей в схему управляющего сигнала **В**, разрешающего подачу тактирующих сигналов на ПМП, останов – подачей управляющего сигнала **А**. Сигнал Сброс или Уст (установка) устанавливает на АМК адрес начальной микрокоманды в микропрограмме. Управляющий сигнал ЧтМК выбирает из ПМП на регистр МК (РМК) очередную МК. Схема формирователя сигналов МО (ФСМО) расшифровывает поле МО и вырабатывает управляющие сигналы, инициирующие выполнение процессором конкретной МК. Поле логического условия(ЛУ) подается на адресные входы мультиплексора (MS). MS выбирает по адресу ЛУ соответствующий осведомительный сигнал которым выбирается адрес следующей МК (либо продвинутый адрес, либо адрес перехода). Поле адреса РМК записывается в старшие разряды РАМК.

6.2. Адресация микрокоманд

Естественный порядок следования микрокоманд предусматривает выборку очередной МК из ячейки памяти с адресом на 1 больше адреса ячейки содержащей текущую МК. При таком способе адресации роль формирователя адреса следующей микрокоманды и РАМК может выполнять обычный счетчик адреса; а необходимость в адресной части МК фактически отпадает. МК в этом случае содержит только операционную часть и называется операционной микрокомандой (ОМО). Однако в этом случае возможна реализация алгоритмов (микропрограмм) имеющих линейную структуру, т.е. без разветвлений.

Для обеспечения возможности реализации микропрограмм с разветвлениями на МПА с естественной адресацией вводится дополнительный формат МК - управляющие (УМК), содержащие только адресную часть УМК содержит поле кода номера проверяемого логического условия Nx и поле адреса А очередной МК, к которой осуществляется переход при выполнении этого условия. В случае невыполнения условия адрес следующей МК равен текущему, увеличенному на единицу.

Безусловные переходы реализуются с помощью УМК содержащих нулевой код номера логического условия.

Для различения УМК и ОМК в обоих форматах применяется одноразрядное поле признака.

В соответствии с естественной адресацией на ГСА функционирования процессора были расставлены адреса микрокоманд.



Рисунок 6.1.1. Структурная схема УУ

6.3. Кодирование микроопераций

В соответствии с задание на курсовой проект, способ кодирования микроопераций - вертикально – горизонтальный.

Построение несовместимых подмножеств совместимых микроопераций:

|  |  |  |
| --- | --- | --- |
| y1 | : | y2 |
| y2 | : | y1,y6,y7,y8,y9,y10 |
| y3 | : | y4 |
| y4 | : | y3,y15,y32,y33 |
| y5 | : | - |
| y6 | : | y2,y7,y8 |
| y7 | : | y2,y6,y8,y10 |
| y8 | : | y2,y6,y7,y9,y10,y11,y12 |
| y9 | : | y2,y8 |
| y10 | : | y2,y7,y8 |
| y11 | : | y8,y12 |
| y12 | : | y8,y11 |
| y13 | : | y14 |
| y14 | : | y13,y16,y17,y24 |
| y15 | : | y4 |
| y16 | : | y14,y17 |
| y17 | : | y14,y16,y24 |
| y18 | : | y19 |
| y19 | : | y18 |
| y20 | : | y21,y22 |
| y21 | : | y20,y22,y27,y34,y35 |
| y22 | : | y20,y21,y27 |
| y23 | : | - |
| y24 | : | y14,y17 |
| y25 | : | y26 |
| y26 | : | y25 |
| y27 | : | y21,y22 |
| y28 | : | y29,y30 |
| y29 | : | y28,y30 |
| y30 | : | y28,y29 |
| y31 | : | - |
| y32 | : | y4 |
| y33 | : | y4 |
| y34 | : | y21,y35 |
| y35 | : | y21,y34 |
| y36 | : | y37 |
| y37 | : | y36 |
| y38 | : | - |
| y39 | : | - |

После удаления наиболее связанных вершин графа:2,8 и 21, были получены следующие подмножества:

|  |  |
| --- | --- |
| Y1 | y3,y4,y15,y18,y19,y32,y33 |
| Y2 | y1,y6,y7,y9,y10,y11,y12 |
| Y3 | y13,y14,y16,y17,y24,y25,y26 |
| Y4 | y20,y22,y27,y34,y35,y36,y37 |
| Y5 | y5,y23,y28,y29,y30,y31,y38 |
| Y6 | y39 |

Универсальная группа – y2,y8y21

Для кодирования множеств использовалось тривиальное кодирование.

6.4. Микропрограмма функционирования

Микропрограмма в условных обозначениях

|  |  |  |  |
| --- | --- | --- | --- |
| Адрес МК | Микрокоманда | | |
| В | Х | А |
| М | m |
| A0 | 1 | x1 | A15 |
| A1 | 1 | x2 | A25 |
| A2 | 0 | Y1 | y3y4 |
| A3 | 1 | x5 | A3 |
| A4 | 1 | x2 | A19 |
| A5 | 1 | x6 | A17 |
| A6 | 0 | Y2 | y11y12y8 |
| A7 | 1 | x7 | A26 |
| A8 | 1 | x10 | A36 |
| A9 | 1 | x11 | A41 |
| A10 | 1 | x13 | A46 |
| A11 | 1 | x14 | A53 |
| A12 | 1 | x16 | A14 |
| A13 | 0 | Y5 | y38 |
| A14 | 0 | Y6 | y39 |
| A15 | 1 | x3 | A25 |
| A16 | 1 | xбп | A2 |
| A17 | 0 | Y2 | y10y7y2y8 |
| A18 | 1 | xбп | A7 |
| A19 | 0 | Y2 | y9y2y8 |
| A20 | 1 | x4 | A7 |
| A21 | 0 | Y1 | y3y4 |
| A22 | 1 | x5 | A22 |
| A23 | 0 | Y2 | y6y7y2y8 |
| A24 | 1 | xбп | A7 |
| A25 | 0 | Y2 | y1y2 |
| A26 | 0 | Y3 | y13y14 |
| A27 | 0 | Y1 | y15y4 |
| A28 | 1 | x5 | A28 |
| A29 | 0 | Y3 | y16y17y14 |
| A30 | 0 | Y1 | y18y19 |
| A31 | 1 | x8 | A31 |
| A32 | 0 | Y4 | y20y21y22 |
| A33 | 1 | x9 | A35 |
| A34 | 1 | xбп | A0 |
| A35 | 0 | Y5 | y23 |
| A36 | 0 | Y3 | y24y17y14 |
| A37 | 0 | Y3 | y25y26 |
| A38 | 1 | x8 | A38 |
| A39 | 0 | Y4 | y27y21y22 |
| A40 | 1 | xбп | A0 |
| A41 | 0 | Y3 | y13y14 |
| A42 | 0 | Y5 | y28y29y30 |
| A43 | 1 | x12 | A43 |
| A44 | 1 | xбп | A0 |
| A45 | 0 | Y5 | y31 |
| A46 | 0 | Y1 | y32y4 |
| A47 | 1 | x5 | A47 |
| A48 | 0 | Y1 | y33y4 |
| A49 | 1 | x5 | A49 |
| A50 | 0 | Y4 | y34y35y21 |
| A51 | 1 | xбп | A0 |
| A52 | 0 | Y4 | y36y37 |
| A53 | 1 | x15 | A53 |
| A54 | 1 | xбп | A0 |

Микропрограмма в бинарном виде:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Адрес МК | Микрокоманда | | | |
| В | Х | А | XX |
| М | m | y2,y8,y21 |
| 000000 | 1 | 00001 | 001111 | XX |
| 000001 | 1 | 00010 | 011001 | XX |
| 000010 | 0 | 001 | 1100000 | 000 |
| 000011 | 1 | 00101 | 000011 | XX |
| 000100 | 1 | 00010 | 010011 | XX |
| 000101 | 1 | 00110 | 010001 | XX |
| 000110 | 0 | 010 | 0000011 | 010 |
| 000111 | 1 | 00111 | 011010 | XX |
| 001000 | 1 | 01010 | 100100 | XX |
| 001001 | 1 | 01011 | 101001 | XX |
| 001010 | 1 | 01101 | 101110 | XX |
| 001011 | 1 | 01110 | 110101 | XX |
| 001100 | 1 | 10000 | 001110 | XX |
| 001101 | 0 | 101 | 0000001 | 000 |
| 001110 | 0 | 110 | 1XXXXXX | 000 |
| 001111 | 1 | 00011 | 011001 | XX |
| 010000 | 1 | 00000 | 000010 | XX |
| 010001 | 0 | 010 | 0010100 | 110 |
| 010010 | 1 | 00000 | 000111 | XX |
| 010011 | 0 | 010 | 0001000 | 110 |
| 010100 | 1 | 00100 | 000111 | XX |
| 010101 | 0 | 001 | 1100000 | 000 |
| 010110 | 1 | 00101 | 010110 | XX |
| 010111 | 0 | 010 | 0110000 | 110 |
| 011000 | 1 | 00000 | 000111 | XX |
| 011001 | 0 | 010 | 1000000 | 100 |
| 011010 | 0 | 011 | 1100000 | 000 |
| 011011 | 0 | 001 | 0110000 | 000 |
| 011100 | 1 | 00101 | 011100 | XX |
| 011101 | 0 | 011 | 0111000 | 000 |
| 011110 | 0 | 001 | 0001100 | 000 |
| 011111 | 1 | 01000 | 011111 | XX |
| 100000 | 0 | 100 | 1000000 | 001 |
| 100001 | 1 | 01001 | 100011 | XX |
| 100010 | 1 | 00000 | 000000 | XX |
| 100011 | 0 | 101 | 0100000 | 000 |
| 100100 | 0 | 011 | 0101100 | 000 |
| 100101 | 0 | 011 | 0000011 | 000 |
| 100110 | 1 | 01000 | 100110 | XX |
| 100111 | 0 | 100 | 0110000 | 001 |
| 101000 | 1 | 00000 | 000000 | XX |
| 101001 | 0 | 011 | 1100000 | 000 |
| 101010 | 0 | 101 | 0011100 | 000 |
| 101011 | 1 | 01100 | 101011 | XX |
| 101100 | 1 | 00000 | 000000 | XX |
| 101101 | 0 | 101 | 0000010 | 000 |
| 101110 | 0 | 001 | 0100010 | 000 |
| 101111 | 1 | 00101 | 101111 | XX |
| 110000 | 0 | 001 | 0100001 | 000 |
| 110001 | 1 | 00101 | 110001 | XX |
| 110010 | 0 | 100 | 0001100 | 001 |
| 110011 | 1 | 00000 | 000000 | XX |
| 110100 | 0 | 100 | 0000011 | 000 |
| 110101 | 1 | 01111 | 110101 | XX |
| 110110 | 1 | 00000 | 000000 | XX |

Микропрограмма прошивки ПЗУ:

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 |
| 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | X | X |
| 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | X | X |
| 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | X | X |
| 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | X | X |
| 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | X | X |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 0 | X | X |
| 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | X | X |
| 1 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | X | X |
| 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | X | X |
| 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 0 | 1 | X | X |
| 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | X | X |
| 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 | 1 | X | X | X | X | X | X | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 0 | 1 | X | X |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | X | X |
| 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | X | X |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | X | X |
| 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | X | X |
| 0 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | X | X |
| 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 0 | X | X |
| 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | X | X |
| 0 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | X | X |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | X | X |
| 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | X | X |
| 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | X | X |
| 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | X | X |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | X | X |
| 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | X | X |
| 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | X | X |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | X | X |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 1 | X | X |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | X | X |

6.5. Разработка принципиальной схемы

Электрическая принципиальная схема УУ приведена на чертеже 2009.М41.1.3.

Для реализации ПМП была взята ИМС К155РЕ3. Микросхема представляет собой электрически программируемое посредством пережигания плавких перемычек постоянное запоминающее устройство (ППЗУ) емкостью 256 бит (32x8). В исходном состоянии по всем адресам и разрядам записан логический ноль.

Для обеспечения 13 разрядов данных и 6 адресных разрядов потребуется 3 линейки микросхем (для обеспечения 6 разрядного адреса), по 2 ИМС каждая (для обеспечения 13 разрядов данных). Старшие 2 разряда адреса служат для выбора линейки микросхем:

Для реализации РАМК была взята ИМС К155ИЕ7. Микросхемы представляет собой четырехразрядный двоичный реверсивный счетчик.. Для реализации 6 разрядного РАМК используется 2 ИМС, при чем, если первая микросхема тактируется синхроимпульсом, то вторая – прямым переносом первой микросхемы.

Время задержки: 40нс

Для реализации РМК была взята ИМС К155ИР13. Микросхема представляет собой четырехразрядный универсальный сдвиговый регистр. Регистр может работать в следующих режимах: последовательного ввода информации с о сдвигом вправо; последовательного ввода информации с о сдвигом влево; параллельного ввода; хранение; установка нулей (очистка, сброс).

Время задержки: 40нс

Для дешифратора в ФСМО выбрана ИМС К155ИД4. Микросхема представляет собой сдвоенный дешифратор-демультиплексор 2 на 4.

Подаваемый на адресные входы А0, А1 (А1 – старший) код расшифровывается либо первым (D) либо вторым (Е) дешифратором. Входы D, E – входы выбора дешифратора. Входы  - входы разрешения работы соответственно первого и второго дешифраторов.  - выходы первого дешифратора,  - выходы второго дешифратора. D-дешифратор работает, когда на входе D присутствует уровень логической единицы, на входе  – уровень логического нуля. E-дешифратор работает, когда на входы  подан уровень логического нуля. На выходе работающего дешифратора, номер которого определяется кодом, поданным на входы А1, А2, уровень логического нуля (выходы инверсные). На всех остальных выходах микросхемы К155ИД4 – уровень логической единицы. Микросхему К155ИД4 можно использовать как один дешифратор на три адресных входа и восемь выходов. Для этого надо объединить входы выбора дешифратора ( с ) и входы разрешения работы дешифраторов ( с ). При этом объединенный --вход будет старшим адресным входом дешифратора (A2) и работа обоих дешифраторов будет разрешаться одновременно.

Время задержки : 32нс

Для выбора условия выбрана ИМС КМ155КП. Микросхема КМ155КП1 представляет собой селектор-мультиплексор данных на 16 каналов со стробированием. Позволяет с помощью четырех адресных входов A-F передать данные, поступающие на один из входов D0-D15 к выходу Y. Если на вход разрешения С подано напряжение высокого уровня, то на выходе Y также появится высокий уровень независимо от адреса остальных входов. Напряжение низкого уровня на входе Е разрешает прохождение данных от входов D0-D15.

Время задержки: 35нс.

Также для обеспечения логики работы УУ использовались следующие микросхемы:

ИМС К155ТВ1. Микросхема представляет собой два независимых тактируемых J-K триггера с установкой в 0 и 1. Считывание информации с входов J и K происходит во время положительного перепада на входе С, а на выходы она передается во время отрицательного перепада. Наличие низкого уровня на входах R и S одновременно дает неопределенное состояние на выходах. Логические уровни на J и K не должны изменяться, пока на С высокий уровень..

ИМС КМ155ЛА3. Микросхема представляет собой четыре логических элемента 2И-НЕ.

Время задержки 22 нс.

ИМС КМ155ЛЕ1. Микросхема представляет собой четыре логических элемента 2ИЛИ-НЕ.

Время задержки:22 нс.

Данные по элементам серии К155 взяты с источника [4].

При проектировании и монтаже аппаратуры для повышения устойчивости работы ТТЛ-ИС их свободные входы были подключены через резистор сопротивлением 1 кОм к источнику питания.

Для исключения низкочастотных помех, вблизи разъема был подключен конденсатор, емкостью 3,6 мкФ. С целью устранения высокочастотных помех был установлен керамический конденсатор, емкостью 0,006 мкФ.

7. ОПРЕДЕЛЕНИЕ ВРЕМЕННЫХ ХАРАКТЕРИСТИК ЦОУ

Временные характеристики работы ЦОУ рассчитываются, исходя из алгоритма функционирования ЦОУ (алгоритма исполнения МК) и схемотехнических особенностей реальных схем, составляющих процессор.

Промежуток времени, достаточный для реализации процессором любой МК, называется тактом. Другими словами, такт – это период синхросерии, обеспечивающей стабильную работу операционного устройства (ОУ). Так как любое ОУ, в том числе и проектируемое ЦОУ, состоит из управляющего устройства (управляющего автомата) и обрабатывающего блока (операционного автомата), такт операционного устройства в случае последовательной работы УУ и ОБ определяется по формуле:

,

где − время срабатывания управляющего устройства,− время срабатывания обрабатывающего блока, определяемое по времени исполнения самой длительной МО [4].

На рисунке 7.1 приведена временная диаграмма процесса исполнения МК.

Временная диаграмма работы ОУ с учетом реальных задержек в схемах этого устройства может быть правильно построена, если учесть следующие временные соотношения:

, где  − максимальное время выборки слова из ПМП;

, где  − время, необходимое для записи слова в РМК;

, где  − время срабатывания ФСМО,  − время срабатывания ФА;

, где − время исполнения в ОБ *k*-ой микрооперации (в случае синхронизации с постоянным тактом);

, где  − время срабатывания регистра АМК

, где − цикл выборки слова из ПЗУ, на основе которого построена ПМП.



Рисунок 7.1 – Временная диаграмма исполнения МК (МКi 🡪 МКj)

ЗАКЛЮЧЕНИЕ

В ходе курсового проектирования было спроектировано простейшее центральное обрабатывающее устройство, реализующее систему из пяти команд, и разработана его структурная схема. Для УА была построена микропрограмма его функционирования и спроектирована электрическая принципиальная схема. Были рассчитаны временные характеристики синтезированного устройства. Рабочая частота FР  = 1 МГц.

Это операционное устройство обеспечивает все пункты поставленной задачи на курсовое проектирование.

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Столингс У. Структурная организация и архитектура компьютерных систем/ У. Столингс. – М.: Издательский дом «Вильямс», 2002. – 896 с.
2. Синтез центрального обрабатывающего устройства ЦВМ: Методические указания к курсовому проектированию по дисциплине «Цифровые ЭВМ» для студентов направления 6.050102 – «Компьютерная инженерия» дневной и заочной форм обучения/ Разраб. Ю.К.Апраксин, Т.В.Волкова. − Сева­стополь: Изд-во СевНТУ, 2008. − 36с.
3. Цифровые и аналоговые микросхемы: справочник/ С.В. Якубовский [и др.] ; под ред. С.В. Якубовского – М.: Радио и связь, 1989. – 496 с.
4. ЕСКД. Справочное пособие. – М.:Изд-во стандартов, 1986. – 280 с.
5. ДСТУ 3008−95. Документация. Отчеты в сфере науки и техники. Структура и правила оформления. − Введ. 1995−02−23. − К.: Госстандарт Украины, − 81с.
6. Популярные цифровые микросхемы: Шило В. Л.: Справочник .- М.: Радио и связь, 1987. -357с.: ил.
7. Сайт сети интернет <http://kazus.ru/guide/chips> - описание микросхем серии К-155.